

DOCKET NO.: 271362US6PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi SHIMOYAMA

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/13832

INTERNATIONAL FILING DATE: October 29, 2003

FOR: INFORMATION STORAGE DEVICE, INFORMATION STORAGE METHOD, AND
INFORMATION STORAGE PROGRAM

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
Alexandria, Virginia 22313

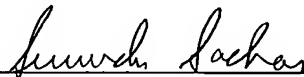
Sir:

In the matter of the above-identified application for patent, notice is hereby given that
the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-336834	20 November 2002

Certified copies of the corresponding Convention application(s) were submitted to the
International Bureau in PCT Application No. PCT/JP03/13832. Receipt of the certified
copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been
acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Gregory J. Maier
Attorney of Record
Registration No. 25,599
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

BEST AVAILABLE COPY

10/534752

PCT/JP03/13832

Rec'd PCT/PTO 13 MAY 2005

29.10.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

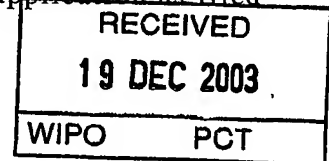
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 2 0 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 3 6 8 3 4

[ST. 10/C]: [J P 2 0 0 2 - 3 3 6 8 3 4]

出 願 人
Applicant(s): ソニー株式会社

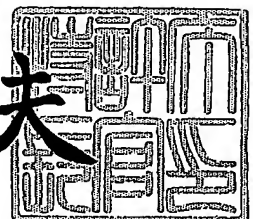


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 3 - 3 1 0 1 1 9 1

【書類名】 特許願

【整理番号】 0290060805

【提出日】 平成14年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 下山 健

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100110434

 【弁理士】

 【氏名又は名称】 佐藤 勝

【手数料の表示】

 【予納台帳番号】 076186

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0011610

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報記憶装置、情報記憶方法、及び情報記憶プログラム

【特許請求の範囲】

【請求項 1】 電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有し、該データの入出力のタイミングに同期クロックが用いられる情報記憶装置において、

前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作又は前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作との 2 つの動作を前記同期クロックの単独クロックを同期のタイミングとして処理することを特徴とする情報記憶装置。

【請求項 2】 前記同期クロックの周波数は可変とされることを特徴とする請求項 1 記載の情報記憶装置。

【請求項 3】 前記各動作は要求信号を受けて開始されるものであり、前記要求信号の受信時に該要求信号にかかるメモリセルのアドレスと、前記受信時における前記増幅器に一時的に保持されているデータのアドレスの比較が行われることを特徴とする請求項 1 記載の情報記憶装置。

【請求項 4】 電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有する情報記憶装置において、

要求されたメモリセルのアドレスと前記増幅器に一時的に保持されているデータとを比較する比較器を備え、

前記比較器は、前記増幅器のデータのアドレスと一致しないとき、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作、前記増幅器について当該情報記憶装置の外部に対する入出力動作、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作の順番で、1 つの単独クロックを同期のタイミングとして一度にまとめて処理させるように指示を出すことを特徴とする情報記憶装置。

【請求項 5】 前記比較器は、前記増幅器になにも保持されていないとき、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作、前記増幅器

について当該情報記憶装置の外部に対する入出力動作の順番で、1つの単独クロックを同期のタイミングとして一度にまとめて処理させるように指示を出すことを特徴とする請求項4記載の情報記憶装置。

【請求項6】 前記比較器は、前記増幅器のデータのアドレスと一致するときは、前記増幅器について当該情報記憶装置の外部に対する入出力動作をクロックを同期させて処理させるように指示を出すことを特徴とする請求項4記載の情報記憶装置。

【請求項7】 前記同期クロックの周波数は可変とされることを特徴とする請求項4記載の情報記憶装置。

【請求項8】 電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有し、同期クロックの単独クロック毎に前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作と、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作とを行う情報記憶装置において、

要求されたメモリセルのアドレスと前記増幅器に入っているデータを比較する比較器を備え、

前記増幅器のデータのアドレスと一致するとき、前記同期クロックの単独クロックを同期のタイミングとして、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作、前記増幅器について当該情報記憶装置の外部に対する入出力動作、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作の順番で一度にまとめて処理させるように指示を出すことを特徴とする情報記憶装置。

【請求項9】 前記同期クロックの周波数は可変とされることを特徴とする請求項8記載の情報記憶装置。

【請求項10】 前記比較器は、前記同期クロックの周波数に応じて、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作、前記増幅器について当該情報記憶装置の外部に対する入出力動作の順番で一度にまとめて行う処理と、前記増幅器について当該情報記憶装置の外部に対する入出力動作、前記増

幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作の順番で一度にまとめて行う処理とを行わせる指示を出すことを特徴とする請求項 8 記載の情報記憶装置。

【請求項 11】 要求信号を受けた際に該要求信号にかかるメモリセルのアドレスと増幅器に一時的に保持されているデータのアドレスと比較する手順と、

比較した結果に応じて前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作と、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作とを選択的に実行する手順とを有することを特徴とする情報記憶方法。

【請求項 12】 前記各動作の選択な実行手順は、同期クロックの略同一クロックを同期のタイミングとして処理されることを特徴とする請求項 11 記載の情報記憶方法。

【請求項 13】 前記同期クロックの周波数は可変であることを特徴とする請求項 11 記載の情報記憶方法。

【請求項 14】 選択的に実行される前記各動作は、2つ又はそれ以上の動作を組み合わせた処理を含むことを特徴とする請求項 11 記載の情報記憶方法。

【請求項 15】 要求信号を受けた際に該要求信号にかかるメモリセルのアドレスと増幅器に一時的に保持されているデータのアドレスと比較する手順と、

比較した結果に応じて前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作と、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作とを選択的に実行する手順とを有する情報記憶方法を実行することを特徴とする情報記憶プログラム。

【請求項 16】 前記各動作の選択な実行手順は、同期クロックの略同一クロックを同期のタイミングとして処理されることを特徴とする請求項 15 記載の情報記憶プログラム。

【請求項 17】 選択的に実行される前記各動作は、2つ又はそれ以上の動作を組み合わせた処理を含むことを特徴とする請求項 15 記載の情報記憶プログラム。

。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は電荷を蓄積させることでデータを記憶するタイプの情報記憶装置に関し、特にクロック信号によって同期をとる方式の同期型情報記憶装置に関する。

【0 0 0 2】**【従来の技術】**

パーソナルコンピュータなどのシステムのメインメモリとして用いられる情報記憶装置の一例として、D R A M (Dynamic Random Access Memory) が広く用いられてきており、その中でも従来の非同期な D R A M よりも高速化が可能な S D R A M (Synchronous Dynamic Random Access Memory : 同期型 D R A M) を用いる例が増加してきている。S D R A M は、ベースとなるクロック周波数に動作を同期させるメモリ装置であり、タイミングの認識がクロック信号に同期することから確実なものとなり、高速な動作が実現される。特に、システムクロックに同期しながら連続的にデータを出力する（所謂バースト転送時など）場合に高効率なデータ送出が可能となる。

【0 0 0 3】

ここで、S D R A M の動作について説明すると、1 つのクロック内に行われる動作としては、アクティベート動作、リード動作またはライト動作、プリチャージ動作などの各動作がデータの取扱いに用いられている。これらの動作は外部からの例えばメモリコントローラからのコマンドによって指示される。各基本動作について、簡単には、アクティベート動作は、メモリセルのデータをセンスアンプで増幅するように取り出す動作であり、リード動作はセンスアンプに存在するデータを出力バッファを介して出力する動作であり、ライト動作は I / O 線にあるデータをセンスアンプまで送る動作である。また、プリチャージ動作はセンスアンプに存在するデータを以ってメモリセルに書き戻す動作である。

【0 0 0 4】

入力バッファの高速応答性を損なうことなく必要な動作サイクルでのみ入力バッファ回路を活性化させ、低消費電流化をも実現することができる同期型半導体

記憶装置を提供する技術が知られている（例えば、特許文献 1 参照）。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 2 - 0 7 4 9 5 3 号公報

【0 0 0 6】

【発明が解決しようとする課題】

一般に、従来の S D R A M は 1 つのクロック内に行う動作はアクティベート動作、リード動作又はライト動作、プリチャージ動作のいずれか 1 つを行うように設計されている。また、通常の S D R A M においても、動作を保証するための時間的な制約があり、コマンドの発行に際してレイテンシーの制約や実時間の制約がある。レイテンシーの制約とは、同期クロックの周波数には無関係の制約であり、リードコマンドを発行してからデータが出てくるまでのクロック数である C A S レイテンシーなどが代表的な例である。これに対して実時間の制約としては、通常、アクティベート動作からプリチャージ動作までの時間である T_{ras} (RAS アクティベート時間)、アクティベート動作からリード動作までの時間である T_{rcd} (RAS-CAS 遅延時間)、プリチャージ動作からアクティベート動作までの時間である T_{rp} (プリチャージ時間) などのパラメータがあり、コマンド発行には最低でもこれらの時間だけ待つ必要があり、待たない場合には動作保証されないことになる。

【0 0 0 7】

S D R A M における時間的な制約の中、前述の実時間の制約については、動作周波数が遅くなりクロックの周期が前記実時間の制約よりも長くなる時では、コマンドの発行タイミングは各サイクルごとに決められていることから、クロック毎にコマンドの発行が可能であった場合でもクロックの周期の大半が動作に必要な空き時間となってしまう、当該 S D R A M の性能が低下すると言う問題が生ずる。

【0 0 0 8】

また、S D R A M の一例として、アクティベート動作、リード動作又はライト動作、プリチャージ動作の 3 つの動作を同時に実行する、S R A M (Static Rand

om Access Memory)の如きD R A Mも知られている。この様なD R A Mにおいては、ページの管理などをD R A Mコントローラーに持たせなくとも済むと言う利点があるものの、全クロック毎にプリチャージ動作を実行してしまうため、D R A Mの特徴である低消費電力を損なうと言う問題点が生ずる。

【0 0 0 9】

そこで、本発明は上述の技術的な課題に鑑み、同期クロックを用いて動作のタイミングを制御する同期型情報記憶装置において、高効率な動作処理から性能の向上を図ると共に、D R A Mの特徴である低消費電力も実現できる情報記憶装置、及びその情報記憶方法の提供を目的とする。

【0 0 1 0】

【課題を解決するための手段】

上述の技術的な課題を解決するため、本発明の情報記憶装置は、電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有し、該データの入出力のタイミングに同期クロックが用いられる情報記憶装置において、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作又は前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作との2つの動作を前記同期クロックの単独クロックを同期のタイミングとして処理することを特徴とする。

【0 0 1 1】

データの入出力のタイミングに同期クロックが用いられる情報記憶装置では、同期クロックが低周波数側にシフトした場合では、その性能面から1クロックの期間でも十分に2つの動作を行うことが可能な場合がある。従って、2つの動作を行うコマンドを新たに設定し、これら2つの動作を同期クロックの単独クロックを同期のタイミングとして処理することで、高効率なデータ処理が可能となる。また、複数の動作を行う場合でも3つの基本動作の全てを毎クロックごとに行うものではないため、動作の一部が省略可能となり、低消費電力化が可能である。

【0 0 1 2】

また、本発明の他の情報記憶装置は、電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有する情報記憶装置において、要求されたメモリセルのアドレスと前記増幅器に一時的に保持されているデータとを比較する比較器を備え、前記比較器は、前記増幅器のデータのアドレスと一致しないとき、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作、前記増幅器について当該情報記憶装置の外部に対する入出力動作、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作の順番で、1つの単独クロックを同期のタイミングとして一度にまとめて処理させるように指示を出すことを特徴とする。

【0013】

この情報記憶装置によれば、要求信号の受信時に該要求信号にかかるメモリセルのアドレスと、前記受信時における前記増幅器に一時的に保持されているデータのアドレスとが比較されるため、同じアドレスからのデータを連続的に出力する場合などにおいて、特に高速なデータ出力が実現されることになり、当該情報記憶装置の性能向上を図ることができる。

【0014】

また、本発明の他の情報記憶装置は、電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有し、同期クロックの単独クロック毎に前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作と、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作とを行う情報記憶装置において、要求されたメモリセルのアドレスと前記増幅器に入っているデータを比較する比較器を備え、前記増幅器のデータのアドレスと一致するとき、前記同期クロックの単独クロックを同期のタイミングとして、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作、前記増幅器について当該情報記憶装置の外部に対する入出力動作、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作の順番で一度にまとめて処理させるように指示を出すことを特徴とする。

【0015】

この情報記憶装置によれば、要求信号の受信時に該要求信号にかかるメモリセルのアドレスと、前記受信時における前記増幅器に一時的に保持されているデータのアドレスとが比較されるため、同じアドレスからのデータを連続的に出力する場合などにおいて、特に高速なデータ出力が実現されることになり、当該情報記憶装置の性能向上を図ることができる。

【0016】

本発明の情報記憶方法は、要求信号を受けた際に該要求信号にかかるメモリセルのアドレスと増幅器に一時的に保持されているデータのアドレスと比較する手順と、比較した結果に応じて前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作と、前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作とを選択的に実行する手順とを有することを特徴とする。

【0017】

本発明の情報記憶方法によれば、アドレスの比較が行われることから、同一クロック内で並行して処理できる動作が選択可能であり、そのアドレスの比較に基づき最適な動作が選択される。選択された動作は、同一クロック内で並行して処理が可能であり、高速な処理が実現される。

【0018】

【発明の実施の形態】

本発明の情報記憶装置の一例としてのSDRAM (Synchronous Dynamic Random Access Memory: 同期型DRAM) について、図面を参照しながら説明する。

【0019】

図1は、本実施の形態のメモリユニット31と該メモリユニット31に制御信号を送るために設けられるメモリコントローラ30を示すブロック図である。メモリユニット31がSDRAMの構成になっており、可変なクロック信号CLKvが所要の周波数制御部から供給される構造になっている。

【0020】

メモリコントローラ30は、DRAMであるメモリユニット31の動作を制御するための制御信号を出力するデバイスである。制御信号は、CS (チップセレ

クト)、RAS (ロウアドレスストローブ)、CAS (カラムアドレスストローブ)、WE (ライトイネーブル)、CKE (クロックイネーブル)、BA (バンク)、行アドレス (カラムアドレス)、列アドレス (ロウアドレス) などの各種制御信号、アドレス信号に加えて、本実施形態ではEXT (エクステンション) 信号とMODE (モード) 信号が出力されて、これらの制御信号がメモリユニット31に入力される。なお、これらの信号とコマンドの対応関係については、図2を参照しながら後述する。また、このメモリコントローラ30には、可変なクロック周波数CLK_vの周波数情報Infqが図示しない周波数制御部やCPUから供給され、周波数情報Infqに基づく制御も可能である。

【0021】

メモリユニット31は、メモリバンク55と、各セルの充電された電荷を増幅させるセンスアンプ56や、その他の周辺回路から構成される。メモリバンク55は、実際にデータを記憶する回路であり、複数のセル55aから構成されている。各セル55aは、コンデンサ状の構成となっており、データに対応して、各セル55aを電荷が充電された状態とするか、または、充電されない状態とすることにより、各セル55aの充電状態のパターンによりデータを記憶するものである。本実施の形態においてはセル55aは、1個のメモリバンク55に対して8×8個設けられている例を示しているが、当然のことながら、セル55aの数は、これ以外の数であってもよい。

【0022】

また、メモリバンク55上の行毎のセル55aの集まりは、特にページ55bと呼ばれる。さらに、メモリバンク55は、リフレッシュ制御回路のリフレッシュタイミング発生器よりリフレッシュ信号が入力されるか、または、行セクタ53より読み出し信号が入力されると、信号が入力された行に対応するページ55b単位で、各セル55aの電荷をセンスアンプ56に転送する。尚、図1中、メモリバンク55の縦横に表示された番号(0乃至7)は、メモリバンク55の各セル55aの垂直方向の位置を示す行、および、水平方向の位置を示す列のそれぞれの番号を示している。

【0023】

センスアンプ 5 6 は、行セクタ 5 3 により指定されたページ 5 5 b のセル 5 5 a のデータが転送されてくると、それを受け取り、さらに、所定の電位まで増幅し、再び、元のページ 5 5 b に転送することができる。このとき、電荷が蓄積された状態で、列セクタ 5 7 より指定された列のデータを読み出し信号が入力されると、センスアンプ 5 6 は、指定された列のデータを読み出して、出力アンプ 5 8 に出力する。

【 0 0 2 4 】

尚、図 1 中、センスアンプ 5 6 は、1 ページ 5 5 b 分のセル 5 5 a の電荷だけしか増幅できない構成となっている。このため、リフレッシュ処理、または、読み出し処理のいずれかの 1 ページ分の処理だけしか処理できないので、セルフリフレッシュタイミング発生器より発生されるリフレッシュ信号、または、行セクタ 5 3 より発生される読み出し信号は、これらの処理が、いずれかの行に対して実行されるタイミングとなるように発生されるように CPU により制御される。また、センスアンプ 5 6 は、複数のページ（行）に対して、リフレッシュ処理、または、読み出し処理を同時に並列処理できるよう複数に設けるようにしても良い。

【 0 0 2 5 】

列アドレスラッチ 5 2 は、メモリコントローラ 3 0 から入力される CAS 信号を受信すると、動作状態をオンにし、メモリバンク 5 5 上のセル 5 5 a の位置を示すアドレスの列の情報を列セクタ 5 7 に出力する。列セクタ 5 7 は、列アドレスラッチ 5 2 より入力された列に対応するセンスアンプ 5 6 上のデータの読み出し信号をセンスアンプ 5 6 に出力し、出力アンプ 5 8 に読み出させる。出力アンプ 5 8 は、入力された電荷をさらに倍増して、メモリコントローラ 3 0 を介して CPU にデータを出力する。

【 0 0 2 6 】

次に、CPU からの指令によりメモリコントローラ 3 0 がメモリバンク 5 5 のセル 5 5 a のデータを読み出す動作について説明する。例えば、CPU からの指令により、メモリコントローラ 3 0 が DRAM のメモリバンク 5 5 の 6 行 4 列目のセル 5 5 a のデータを読み出そうとする場合、CPU は、メモリコントローラ

30に第6行第4列目のセル55aのデータを読み出すように指令する。メモリコントローラ30の制御信号発生部は、この指令を受け取ると、RAS信号を行アドレスラッチ51に出力した後、対応するアドレスの信号を行アドレスラッチ51、および、列アドレスラッチ52に出力する。行アドレスラッチ51は、RAS信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信されるアドレス情報の行の情報を行セクタ53に出力する。従って、本実施の形態のSDRAMの場合、「第6行目」という情報が、行セクタ53に出力される。

【0027】

行セクタ53は、行アドレスラッチ51から入力された行の情報に基づいて、その行に対応するページ55bのセル55aの電荷をセンスアンプ56に転送させる読み出し信号を出力する。すると、本実施の形態のSDRAMの場合、メモリバンク55上の図中実線で囲まれた第6行目のページ55bのセル55aの電荷が、センスアンプ56に出力される。センスアンプ56は、転送されてきた電荷の電荷量を所定の値まで増幅させる。このセル55aの情報が読み出されてセンスアンプ56で増幅される動作がアクティベート動作である。

【0028】

このとき、制御信号発生部は、CAS信号を列アドレスラッチ52に出力すると共に、アドレス信号を行アドレスラッチ51、および列アドレスラッチ52に出力する。列アドレスラッチ52は、CAS信号を制御信号発生部より受け取ると、その動作をオンにし、続けて受信されるアドレス情報の列の情報を列セクタ57に出力する。従って、本実施の形態のSDRAMの場合、「第4列目」という情報が、列セクタ57に出力される。

【0029】

列セクタ57は、入力された列の情報に基づいて、その列に対応するセンスアンプ56で増幅された電荷を出力アンプ58に転送させる読み出し信号を出力する。すなわち、本実施の形態のSDRAMの場合、センスアンプ56は、この読み出し信号に基づいて、図中実線で囲まれた第4列目のセル55aの電荷が、出力アンプ58に出力される。このセンスアンプ56から出力アンプ58にデー

タを出力する動作がリード動作である。

【0030】

出力アンプ58は、転送されてきた電荷の電荷量を転送に必要な所定の値まで増幅させた後、メモリコントローラ30を介してCPUにデータを出力する。尚、この後、センスアンプ56は、増幅した第6行目のページ55bの電荷を、再びメモリバンク55上の元のセル55aに戻すことを行う。これがプリチャージ動作である。従って、データの読み出しがなされた（図1の場合、第6行目）ページ55b上の8個のセル55aは、充電電荷量が元の状態（フルチャージ状態）に戻されることになる。

【0031】

以上の動作は、一般的なSDRAMと同様であり、本実施の形態のSDRAMにおいては、更にセル55aからセンスアンプ56までの電荷を取り出すアクティベート動作又はセンスアンプ56からセル55aに対して電荷を蓄積させるプリチャージ動作と、センスアンプ56について当該SDRAMの外部に対するリード・ライト動作との2つの動作を同期クロックの単独クロックを同期のタイミングとして処理することが可能である。また、本実施の形態のSDRAMにおいては、センスアンプ56に保持されているデータのアドレスに応じ同期クロックの単独クロックで行われる動作として、センスアンプ56からセル55aに対して電荷を蓄積させるプリチャージ動作がセル55aからセンスアンプ56までの電荷を取り出すアクティベート動作よりも先行することも特徴としている。

【0032】

これらの拡張されたSDRAMの動作について更に具体的に説明する。本実施の形態のSDRAMでは、単独クロック内の複合動作のパターンとして、アクティベート動作（"A"）に続いて連続的に次のリード動作（"R"）を行うアクティベート・リード動作（"A+R"）と、アクティベート動作（"A"）に続いて連続的に次のライト動作（"W"）を行うアクティベート・ライト動作（"A+W"）と、これらの複合動作のパターンにそれぞれセンスアンプ56からセル55aに対して電荷を蓄積させるプリチャージ動作（"P"）を単独クロック内で先行させたプリチャージ・アクティベート・リード動作（"P+A+R"）及びプリチャージ

・アクティベート・ライト動作 ("P + A + W") とが 4 つの拡張複合動作として実行可能となっている。なお、本実施の形態の S D R A M のこれら 4 つの拡張複合動作は一例に過ぎず、他の組み合わせからなる複合動作も可能である。

【 0 0 3 3 】

このような拡張された S D R A M の動作は、図 2 に示す信号・コマンド対応表によってコマンド発行が行われる。図 2 に示す信号とコマンドの対応は一例に過ぎず、他の組み合わせによってコマンドを発行するようにしても良い。なお、コマンドの指定を既存の信号の組み合わせではなく、新たな信号を追加して形成するようにすることも可能である。また、バー記号は簡単のために省略している。

【 0 0 3 4 】

図 2 に示すように、基本的には M O D E 信号と E X T 信号が前述の 4 つの拡張複合動作に対するコマンドを有効化する。すなわち、E X T 信号が "L" (低レベル) とされ且つ M O D E 信号も "L" (低レベル) とされた場合に、センスアンプ 5 6 からセル 5 5 a に対して電荷を蓄積させるプリチャージ動作 ("P") を単独クロック内で先行させたプリチャージ・アクティベート・リード動作 ("P + A + R") 及びプリチャージ・アクティベート・ライト動作 ("P + A + W") のどちらかの動作が行われることになり、その際に W E (ライトイネーブル) 信号が "H" (高レベル) の場合に、プリチャージ・アクティベート・リード動作 ("P + A + R") が実行され、逆に W E (ライトイネーブル) 信号が "L" (低レベル) の場合に、プリチャージ・アクティベート・ライト動作 ("P + A + W") が実行される。

【 0 0 3 5 】

残りの 2 つの拡張複合動作であるアクティベート動作 ("A") に続いて連続的に次のリード動作 ("R") を行うアクティベート・リード動作 ("A + R") と、アクティベート動作 ("A") に続いて連続的に次のライト動作 ("W") を行うアクティベート・ライト動作 ("A + W") とは、E X T 信号が "L" (低レベル) とされ且つ M O D E 信号が "H" (高レベル) とされた場合に実行される。これらの場合でも、アクティベート・リード動作 ("A + R") とアクティベート・ライト動作 ("A + W") の間の違いは、W E (ライトイネーブル) 信号に依存し、W E

(ライトイネーブル) 信号が”H” (高レベル) の場合に、アクティベート・リード動作 (”A+R”) が実行され、逆にWE (ライトイネーブル) 信号が”L” (低レベル) の場合に、アクティベート・ライト動作 (”A+W”) が実行される。

【0036】

他の動作、すなわちSDRAMの基本的な動作は、EXT信号が”H” (高レベル) の時に実行され、CS (チップセレクト) 信号、RAS (ロウアドレスストローブ) 信号、CAS (カラムアドレスストローブ) 信号、WE (ライトイネーブル) 信号の組み合わせで各種コマンドが指定される。具体的には、先ず、CS (チップセレクト) 信号が”L” (低レベル) となった時に、当該メモリユニット31が選択されている状態となり、CS信号が”H”レベルの時、非動作 (DESL) となる。

【0037】

前述の如きアクティベート動作”A”、リード動作”R”、プリチャージ動作”P”のそれぞれコマンドは、CS (チップセレクト) 信号が”L”レベルで、RAS (ロウアドレスストローブ)、CAS (カラムアドレスストローブ)、WE (ライトイネーブル) の各信号の組み合わせによって形成される。具体的には、RAS信号が”L”レベル、CAS信号が”H”レベル、WE信号が”H”レベルの組み合わせでアクティベート動作のコマンド (ACT) が構成され、RAS信号が”H”レベル、CAS信号が”L”レベル、WE信号が”H”レベルの組み合わせでリード (読み出し) 動作のコマンド (READ) が構成され、RAS信号が”H”レベル、CAS信号が”L”レベル、WE信号が”L”レベルの組み合わせでライト (書き込み) 動作のコマンド (WRITE) が構成され、RAS信号が”L”レベル、CAS信号が”H”レベル、WE信号が”L”レベルの組み合わせでプリチャージ動作のコマンド (PRE) 若しくは全バンクプリチャージ動作のコマンド (PALL) が構成される。

【0038】

また、命令なし (NOP) は、CS (チップセレクト) 信号が”L”レベルで、RAS信号が”H”レベル、CAS信号が”H”レベル、WE信号が”H”レベルの組み合わせで構成され、メモリセルのデータを十分な充電状態とするリフレッシュ (REF) は、CS信号が”L”レベルで、RAS信号が”L”レベル、CAS信号が”L”レベル、WE信号が”H”レベルの組み合わせで構成される。モードセット (MRS) はCS信号が”L”

レベルで、RAS信号が”L”レベル、CAS信号が”L”レベル、WE信号が”L”レベルの組み合わせで構成され、バーストストップ（B S T）はCS信号が”L”レベルで、RAS信号が”H”レベル、CAS信号が”H”レベル、WE信号が”L”レベルの組み合わせで構成される。

【0 0 3 9】

この図2に示す信号とコマンドの対応は一例に過ぎず、他の組み合わせによってコマンドを指定するようにしても良い。また、拡張複合動作としてプリチャージ・アクティベート・リード動作（”P+A+R”）、プリチャージ・アクティベート・ライト動作（”P+A+W”）、アクティベート・リード動作（”A+R”）、及びアクティベート・ライト動作（”A+W”）の4つを例示したが、さらに多くの拡張複合動作を実行可能とさせる場合では、例えばMODEの指定について複数ビットに拡張することで対応が可能となる。

【0 0 4 0】

次に、図3及び図4を参照しながら、本実施の形態のSDRAMによる動作について更に詳しく説明する。図3は低周波数の同期クロックを与えた時の性能を示すものであり、（A）は従来のDRAM（比較例）の最高動作周波数（ F_{max} ）でのリード動作を示すタイムチャート、（B）は従来のDRAMの最高動作周波数（ F_{max} ）の半分の周波数（ $F_{max}/2$ ）でのリード動作を示すタイムチャート、（C）は本実施の形態のSDRAMを用いて拡張複合動作を実行した場合のタイムチャートである。図中、”A”はアクティベート動作、”R”はリード動作、”P”はプリチャージ動作をそれぞれ示す。

【0 0 4 1】

従来のDRAM（比較例）の場合、図3の（A）に示すように、DRAMの最高動作周波数（ F_{max} ）で同期がとれている状態では、データの出力（図中、灰色領域）までにアクティベート動作”A”、リード動作”R”、プリチャージ動作”P”の3つが各単独クロックで動作して合計3クロックかかることになる。図3の（A）では3クロック目のプリチャージのクロックでデータの出力がなされていることが分かる。この同じDRAMを最高動作周波数（ F_{max} ）の半分の周波数（ $F_{max}/2$ ）で動作させた場合を示すのが、図3の（B）のタイムチャートで

ある。DRAMは同期型であるために、クロックの周期が2倍に長くなった場合でも、同様にアクティベート動作“A”、リード動作“R”、プリチャージ動作“P”の3つが各単独クロックで動作して合計3クロックかかることには変わりがなく、それぞれのクロックが2倍の周期となることから、最高動作周波数(F_{max})のクロックで第5番目と第6番目に該当するタイミングでデータが出力される。この時、各動作は余裕を以って処理されることになるが、クロックで同期するように制御されることから、動作も2倍多く時間がかかることになる。

【0042】

図3の(C)では、アクティベート動作“A”とリード動作“R”とが複合して行われるアクティベート・リード動作(“A+R”)が実行され、その結果としてデータの出力が(B)の場合に比べて1クロック分も早くなっている。前述のように、アクティベート動作“A”とリード動作“R”の各動作は、最高動作周波数(F_{max})の単独クロック内で処理が終了するように構成されており、従って、最高動作周波数(F_{max})の周期が2倍に長くなる半分の低い周波数の場合では、1クロックの間に2つの動作を処理でき、ここではアクティベート・リード動作(“A+R”)が実行される。その結果、次の第2番目のクロックはプリチャージ動作“P”となり、(B)の場合に比べて1クロック分も早く処理が可能となる。このように拡張複合動作であるアクティベート・リード動作(“A+R”)を用いることで、全体として的高速処理が実現され、メモリの性能が向上する。

【0043】

次に図4を参照しながら、本実施の形態のSDRAMが低消費電力も達成できる点についても説明する。図4の(A)は、従来のDRAMの一例として、アクティベート動作、リード動作、プリチャージ動作の3つの動作を単独クロック内に実行する、SRAM(Static Random Access Memory)の如きSDRAMの動作を示すタイムチャートである。この従来のDRAMの一例では、各クロック毎にそれぞれアクティベート動作、リード動作、プリチャージ動作の3つの動作(“A+R+P”)が実行される。データも各クロック毎に出力されることになる。3つの動作の中、アクティベート動作(“A”)とプリチャージ動作(“P”)はそれぞれ各メモリバンクに対応したセンスアンプを稼働させて増幅する動作が伴う

ため、それぞれ消費電力がリード動作やライト動作に比べて大きくなる。例えば、図4の(A)のように、アクティベート動作、リード動作、プリチャージ動作の3つの動作を単独クロック内に実行することを連続して5回行った場合では、アクティベート動作が合計5回、リード動作が合計5回、プリチャージ動作が合計5回となり、その分だけ電力が消費されることになる。

【0044】

これに対して本実施の形態のSDRAMの場合では、特定のセルをリード動作で読み出すためにアクティベート動作で読み出された行アドレス（ページ）の中に、次回以降の指令で読み出されるデータ（セル）が含まれる場合、アクティベート動作やプリチャージ動作が適度に省略された形式の指令に代えることができ、図4の(B)の例では、アクティベート・リード動作（"A+R"）が第1番目のクロックで指令され、第2番目と第3番目のクロックでリード動作（"R"）が指令され、第4番目のクロックでプリチャージ・アクティベート・リード動作（"P+A+R"）が指令され、第5番目のクロックでは再びリード動作（"R"）が指令される。この一連の動作では、全ての動作にリード動作が含まれることから、データも各クロック毎に出力されることになる。この図4の(B)の例では、最初の3クロックでは、データの読み出しにかかるアドレス（ページ）が変わらない例となっており、その分だけプリチャージ動作やアクティベート動作を省略することが可能である。また、第4番目のクロックのコマンドは、センスアンプからセルに対して電荷を蓄積させるプリチャージ動作（"P"）がセルからセンスアンプまでの電荷を取り出すアクティベート動作（"A"）よりも先行する。このプリチャージ・アクティベート・リード動作は行アドレス（ページ）が変化する場合に指定すれば良く、逆に読み出しの際にその前後のデータについての行アドレス（ページ）が変化しない場合においては、消費電力の小さなリード動作（"R"）だけを指定すれば良いことになる。図4の(B)の例では、5クロックのデータの読み出しに関して、アクティベート動作が合計2回、リード動作が合計5回、プリチャージ動作が合計1回となり、図4の(A)の動作との比較において、アクティベート動作の3回分とプリチャージ動作の4回分だけ電力の消費が節約されることになる。これらアクティベート動作とプリチャージ動作は、元来

消費電力が大きいことから、アクティベート動作とプリチャージ動作のそれぞれ動作回数の節約は大幅な消費電力の低減となる。

【0045】

このような毎回プリチャージを行わない制御方法では、通常はアクティベート・リード動作 ("A+R") のコマンドを発行してデータの入出力をする。するとコマンド発行後はページはアクティブのままであり、アクセスにかかるページが同じページである場合では、単なるリード動作を行うようにすれば良い。一方、アクセスにかかるページが異なるページである場合では、1クロック内にプリチャージ・アクティベート・リード動作 ("P+A+R") をこの順番で、特にセンスアンプからセルに対して電荷を蓄積させるプリチャージ動作 ("P") がセルからセンスアンプまでの電荷を取り出すアクティベート動作 ("A") よりも先行するようにすることで、全くレイテンシーは従来のSRAM的なDRAMと変わらないまま、不必要なアクティベート動作とプリチャージ動作を抑制することができ、低消費電力化を実現できることになる。

【0046】

次に、図5～図7を参照して、本実施の形態のSDRAMにおける他の制御方法について説明する。図5はリクエストにかかるアドレスとセンスアンプのデータのアドレスの比較を行って複合動作のコマンドを発行するためのフローチャートである。このフローチャートに従って処理を行うのは、例えばメモリコントローラなどの制御デバイスであるが、メモリがマイコンの一部などである場合には、周辺に配設されるメモリ制御回路である。

【0047】

まず、手順S10でCPUなどの演算処理デバイスからリクエストを受信する。このリクエストは、例えば、データの読み出しや書き込みなどの要求であり、所定のメモリセルのアドレスを指定して要求がメモリコントローラなどの制御デバイスに入力する。次に、手順S11でリクエストにかかるセルのアドレスと、SDRAMのセンスアンプに入っている現在のデータのアドレスとを比較する。この比較によって次の3つの場合分けがなされる。

【0048】

第1はセンスアンプにデータが入っていない場合であり、この場合には手順S12に進み、アクティベート・リード動作("A+R")のコマンド若しくはアクティベート・ライト動作("A+W")のコマンドを発行してデータの入出力をする。このコマンドの発行の後、手順S15に進み、次のリクエストの待機状態に入る。手順S11の第2の場合はセンスアンプのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致する場合である。この場合には、手順S13に進み、リード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。センスアンプのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致する場合は、セルからセンスアンプまでの電荷を取り出すアクティベート動作("A")やセンスアンプからセルに対して電荷を蓄積させるプリチャージ動作("P")が不要となることから、単発のリード動作("R")のコマンド若しくはライト動作("W")のコマンドの発行だけで処理を進めることができ、このようにリード動作("R")若しくはライト動作("W")の単発なコマンドで処理を進めることにより、不必要で消費電力が比較的に大きなアクティベート動作とプリチャージ動作を抑制することができる。このコマンドの発行の後、手順S15に進み、次のリクエストの待機状態に入る。

【0049】

手順S11の第3の場合は、センスアンプにデータが入っている場合であって、そのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致しない場合である。この場合には、手順S14に進み、プリチャージ・アクティベート・リード動作("P+A+R")のコマンド若しくはプリチャージ・アクティベート・ライト動作("P+A+W")のコマンドが発行される。センスアンプのロウアドレスがリクエストにかかるセルのロウアドレスと一致しない場合は、データの置換が必要となり、それには先行するデータを書き戻した後にセンスアンプまで読み出す必要があり、センスアンプからセルに対して電荷を蓄積させるプリチャージ動作("P")がセルからセンスアンプまでの電荷を取り出すアクティベート動作("A")よりも先行することになる。アクティベート動作("A")の後、リード動作("R")若しくはライト動作("W")のコマンドが発行され、所要のリクエストにかかるアドレスのデータが読み込まれ若しくは書き込まれ

る。このコマンドの発行の後、手順 S 15 に進み、次のリクエストの待機状態に入る。

【0050】

このようなフローチャートに従う処理によって、特にレイテンシーなどを変更せずに、不必要なアクティベート動作とプリチャージ動作を抑制することができ、低消費電力化を実現できることになる。なお、この図 5 に示す処理は、プリチャージ・アクティベート・リード動作 ("P+A+R") のコマンド、プリチャージ・アクティベート・ライト動作 ("P+A+W") のコマンド、アクティベート・リード動作 ("A+R") のコマンド、アクティベート・ライト動作 ("A+W") のコマンド、リード動作 ("R") のコマンド、及びライト動作 ("W") の 6 つのコマンドが常に発行できるプログラムとなっている。

【0051】

図 6 及び図 7 を参照して、本実施の形態の SDRAM における更に他の制御方法について説明する。図 6 及び図 7 はプリチャージ・アクティベート・リード動作 ("P+A+R") の如き 3 つの動作を単独クロックで実行できる程周波数が低下していない場合も考慮した処理の一例のフローチャートである。なお、図 6 の A (手順 S 25) が図 7 の A に連続する。このフローチャートに従って処理を行うのは、例えばメモリコントローラなどの制御デバイスであるが、メモリがマイコンの一部などである場合には、周辺に配設されるメモリ制御回路である。

【0052】

まず、手順 S 20 で CPU などの演算処理デバイスからリクエストを受信する。このリクエストは、例えば、データの読み出しや書き込みなどの要求であり、所定のメモリセルのアドレスを指定して要求がメモリコントローラなどの制御デバイスに入力する。次に、手順 S 21 でリクエストにかかるセルのアドレスと、SDRAM のセンスアンプに入っている現在のデータのアドレスとを比較する。この比較によって次の 3 つの場合分けがなされることは図 5 のフローと同様である。

【0053】

第 1 はセンスアンプにデータが入っていない場合であり、この場合には手順 S

22に進み、アクティベート・リード動作("A+R")のコマンド若しくはアクティベート・ライト動作("A+W")のコマンドを発行してデータの入出力をする。次に手順S24に進み、必要な場合には、リード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。このコマンドの発行の後、手順S26に進み、次のリクエストの待機状態に入る。

【0054】

手順S21の第2の場合はセンスアンプのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致する場合である。この場合には、手順S23に進み、リード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。センスアンプのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致する場合では、セルからセンスアンプまでの電荷を取り出すアクティベート動作("A")やセンスアンプからセルに対して電荷を蓄積させるプリチャージ動作("P")が不要となることから、単発のリード動作("R")のコマンド若しくはライト動作("W")のコマンドの発行だけで処理を進めることができ、このようにリード動作("R")若しくはライト動作("W")の単発なコマンドで処理を進めることにより、不必要で消費電力が比較的に大きなアクティベート動作とプリチャージ動作を抑制することができる。このコマンドの発行の後、手順S26に進み、次のリクエストの待機状態に入る。

【0055】

手順S21の第3の場合は、センスアンプにデータが入っている場合であって、そのデータのロウアドレスがリクエストにかかるセルのロウアドレスと一致しない場合である。この場合には、手順S25に進み、図7のフローに移行する。図7では、更に3種類の処理方法が進められるが、プリチャージ動作("P")のコマンドが発行される手順S31に進むか、プリチャージ・アクティベート動作("P+A")のコマンドが発行される手順S34に進むか、プリチャージ・アクティベート・リード動作("P+A+R")のコマンド若しくはプリチャージ・アクティベート・ライト動作("P+A+W")のコマンドが発行される手順S36に進むかのどれかが選択される。どれを選択するかは、クロック周波数と各動作に必要な期間との関係で決まるようにすることも可能である。例えば、プリチャ

ージ動作、アクティベート動作、リード動作の3つの動作を単独クロックで処理できる場合に手順S36に進み、3つの動作を単独クロックで処理できない場合には手順S31や手順S34に進むように制御できる。

【0056】

手順S31に進んだ場合では、プリチャージ動作("P")を行うためのコマンドが発行され、次いでアクティベート・リード動作("A+R")のコマンド若しくはアクティベート・ライト動作("A+W")のコマンドが発行される(手順S32)。これらの手順S31、S32の組み合わせから、プリチャージ動作、アクティベート動作、リード動作若しくはライト動作の3つの動作が実行されることになる。次に手順S33に進み、必要な場合には、リード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。このコマンドの発行の後、手順S38に進み、次のリクエストの待機状態に入る。

【0057】

手順S34に進んだ場合では、まず、プリチャージ・アクティベート動作("P+A")のコマンドが発行され、次いで手順S35でリード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。このコマンドの発行の後、手順S38に進み、次のリクエストの待機状態に入る。

【0058】

手順S36に進んだ場合では、プリチャージ・アクティベート・リード動作("P+A+R")のコマンド若しくはプリチャージ・アクティベート・ライト動作("P+A+W")のコマンドが発行され、次に手順S37に進み、必要な場合には、リード動作("R")のコマンド若しくはライト動作("W")のコマンドが発行される。このコマンドの発行の後、手順S38に進み、次のリクエストの待機状態に入る。

【0059】

このようなフローチャートに従う処理によって、特にレイテンシーなどを変更せずに、不必要なアクティベート動作とプリチャージ動作を抑制することができ、低消費電力化を実現できることになる。また、プリチャージ動作、アクティベート動作、リード動作の3つの動作を単独クロックで処理できないような低周波

数のクロック信号で動作させる場合でも効率の良い処理が可能である。

【0060】

次に、図8を参照しながら、本発明のSDRAMを搭載したPDA(Personal Digital Assistance)の例について説明する。このPDAは図示しない液晶表示部やタッチパネルなどに接続されるPDAコア部60を有しており、このPDAコア部60には、所要の情報処理手順を進めるCPU61やコプロセッサ62が配設されている。CPU61はバスライン66に接続されており、このバスライン66を介して低速な回路部への接続部となるバスブリッジ67、高速な描画を実現するグラフィックエンジン63、画像の取り込みを行うカメラとの接続のためのカメラインターフェイス65、液晶表示部への信号の送受信を行うLCD(Liquid Crystal Display)コントローラ64などが接続されている。

【0061】

バスブリッジ67には、USB(Universal Serial Bus)コントローラ81、I/O用のI/Oバス82、タッチパネルインターフェイス83、キーボードやジョグダイヤル、発光ダイオードなどのインターフェイス84などの回路が接続され、更にクロック信号CLKvとその周波数情報Infqを出力する周波数制御部76もバスブリッジ67に接続されている。

【0062】

前述のバスライン66には、更に情報記憶デバイスであるSDRAM71及びDRAMコントローラ72が接続するように構成され、さらに外部メモリコントローラ73も接続する。DRAMコントローラ72は、SDRAM71に対する制御信号を送る回路部であり、特に本実施の形態のSDRAMでは、単独クロック内の複合動作のパターンの一例として、アクティベート・リード動作("A+R")と、アクティベート・ライト動作("A+W")と、これらの複合動作のパターンにそれぞれセンスアンプからセルに対して電荷を蓄積させるプリチャージ動作("P")を単独クロック内で先行させたプリチャージ・アクティベート・リード動作("P+A+R")及びプリチャージ・アクティベート・ライト動作("P+A+W")とが4つの拡張複合動作として実行可能となっている。これらの各コマンドはDRAMコントローラ72から情報記憶デバイスであるSDRAM71に送られる。また、DRAM

コントローラ 7 2 には、例えば周波数制御部 7 6 から可変とされるクロック信号 CLKv の周波数情報 Infq が供給される。DRAM コントローラ 7 2 は周波数情報 Infq を用いデコードなどの演算処理を行い、クロック信号 CLKv の周波数が変わったときでも SDRAM 7 1 の最適な処理を行う。これら SDRAM 7 1 と DRAM コントローラ 7 2 からなるメモリシステム 4 1 では、クロック信号 CLKv の周波数が変わった際に、周波数情報 Infq に応じた処理で余分な待ち時間を省いた高速な処理が可能である。

【0 0 6 3】

また、メモリシステム 4 1 だけではなく、外部メモリコントローラ 7 3 についても拡張複合動作をさせるコマンドを発行し、外部メモリである SDRAM 7 5 が、複合動作を行うように構成しても良い。この拡張複合動作のパターンの一例として、同様に、アクティベート・リード動作 ("A + R") と、アクティベート・ライト動作 ("A + W") と、これらの複合動作のパターンにそれぞれセンスアンプからセルに対して電荷を蓄積させるプリチャージ動作 ("P") を単独クロック内で先行させたプリチャージ・アクティベート・リード動作 ("P + A + R") 及びプリチャージ・アクティベート・ライト動作 ("P + A + W") とが 4 つの拡張複合動作として挙げられる。また、可変とされるクロック信号 CLKv の周波数情報 Infq を外部メモリコントローラ 7 3 に供給することもできる。外部メモリコントローラ 7 3 は、外部メモリバスを介して接続する ROM 7 4 や SDRAM 7 5 に対する制御信号を送出する回路である。この外部メモリコントローラ 7 3 でも周波数情報 Infq が用いられてデコードなどの演算処理を行い、クロック信号 CLKv の周波数が変わった際に ROM 7 4 や SDRAM 7 5 での余分な待ち時間を省いた最適な処理を行う。これら外部メモリコントローラ 7 3 からなるコントローラ部 4 2 と、ROM 7 4 及び SDRAM 7 5 からなるメモリ部 4 3 とでメモリシステムが構成され、前述のメモリシステム 4 1 と同様に高速な処理が実現される。また、外部メモリコントローラ 7 3 に接続するメモリとして ROM 7 4 や SDRAM 7 5 は例示に過ぎず他のメモリや他の信号処理素子などであっても良い。更に、外部メモリコントローラ 7 3 と DRAM コントローラ 7 2 にそれぞれ供給される周波数情報 Infq も同じのものであっても良く、異なるクロック信号を用いる場合などでは異なる周波数情報 Infq を用

いるようにしても良い。

【0 0 6 4】

図8はPDAの例について示したが、本実施の形態にSDRAMは、パーソナルコンピュータ、携帯電話機、その他の電子機器にも適用でき、特に低消費電力化が実現されるため、スリープモードや待機状態などが存在する機器に適用して望ましいものである。

【0 0 6 5】

なお、上述した一連の処理は、ハードウェアにより実行させることも可能であるが、ソフトウェアにより実行することも可能である。また、プログラムを記述したステップは、記載された順序に沿って時系列的に行われる処理は、必ずしも時系列的な処理に限らず並列的或いは個別的に実行される処理を含むものである。

【0 0 6 6】

なお、上述の実施の形態においては、主にメモリなどの記憶素子のコントローラに周波数情報Infqを読み取り制御を調整する機構を設けたものとして説明しているが、これに限定されず、他の信号処理素子や回路などに可変クロックが供給される場合であっても良く、その可変クロック信号の周波数情報を演算処理することで、必要な待ち時間の計算などにより最適化された情報処理を行う回路であっても良い。

【0 0 6 7】

また、本実施の形態が搭載される電子機器もPDAやパーソナルコンピュータに限定されず、プリンターやファクシミリ、パソコン用周辺機器、電話機、テレビジョン受像機、画像表示装置、通信機器、携帯電話機、カメラ、ラジオ、オーディオビデオ機器、デジタル家電製品、照明器具、ゲーム機やラジコンカーなどの玩具、電動工具、医療機器、測定機器、車両搭載用機器、事務機器、健康美容器具、電子制御型ロボット、衣類型電子機器、各種電動機器、車両、船舶、航空機などの輸送用機械、家庭用若しくは事業用発電装置、その他の用途に使用できる種々の電子機器に搭載可能である。

【0 0 6 8】

【発明の効果】

本発明の情報記憶装置によれば、2つまたは3つの動作を行う如き拡張複合動作のコマンドを新たに設定し、これら拡張複合動作を同期クロックの略同一クロックを同期のタイミングとして処理することで、高効率なデータ処理が可能となる。また、複数の動作を行う場合でも3つの基本動作の全てを毎クロックごとに行うものではないように処理することで、動作の一部が省略可能となり、低消費電力化が可能である。

【図面の簡単な説明】**【図 1】**

本発明の実施の形態の S D R A M とメモリコントローラの一例を示すブロック図である。

【図 2】

本発明の実施の形態の S D R A M で使用される信号とコマンドの対応の一例を示す表である。

【図 3】

D R A M におけるリード動作の相違から本発明の実施の形態の S D R A M の高速動作を説明するためのタイムチャートであって、(A) は D R A M の最高動作周波数 (F_{\max}) でのリード動作のタイムチャート、(B) は D R A M の最高動作周波数の半分の周波数 ($F_{\max}/2$) でのリード動作のタイムチャート、(C) は本発明の実施の形態の S D R A M において拡張複合動作を実行した場合のリード動作のタイムチャートである。

【図 4】

D R A M におけるリード動作の相違から本発明の実施の形態の S D R A M の低消費電力特性を説明するためのタイムチャートであって、(A) は D R A M の最高動作周波数 (F_{\max}) でのリード動作のタイムチャート、(B) は本発明の実施の形態の S D R A M において拡張複合動作を実行した場合のリード動作のタイムチャートである。

【図 5】

本発明の実施の形態の S D R A M の動作を説明するためのフローチャートであ

る。

【図 6】

本発明の実施の形態の S D R A M の他の動作を説明するためのフローチャートである。

【図 7】

本発明の実施の形態の S D R A M の他の動作を説明するためのフローチャートであり、図 6 の A の続きのフローチャートである。

【図 8】

PDA にメモリコントローラと本発明の実施の形態の S D R A M を組み込んだ例を示すブロック図である。

【符号の説明】

3 0 メモリコントローラ

3 1 メモリユニット

6 1 CPU

6 6 バスライン

7 1 SDRAM

7 2 DRAM コントローラ

7 3 外部メモリコントローラ

7 4 ROM

7 5 SDRAM

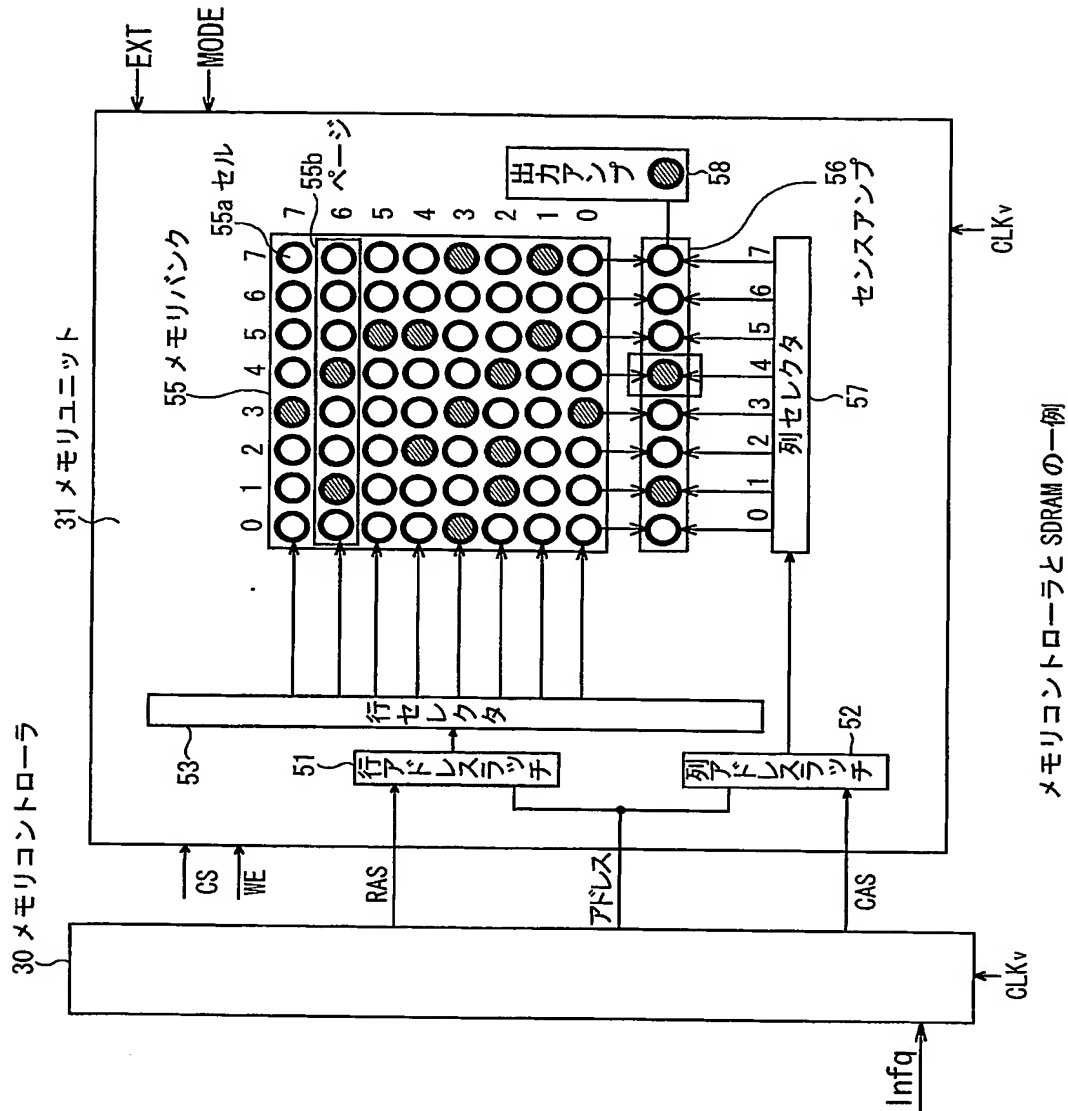
7 6 周波数制御部

Infq 周波数情報

CLK_v 可変クロック信号

【書類名】 図面

【図1】



【図 2】

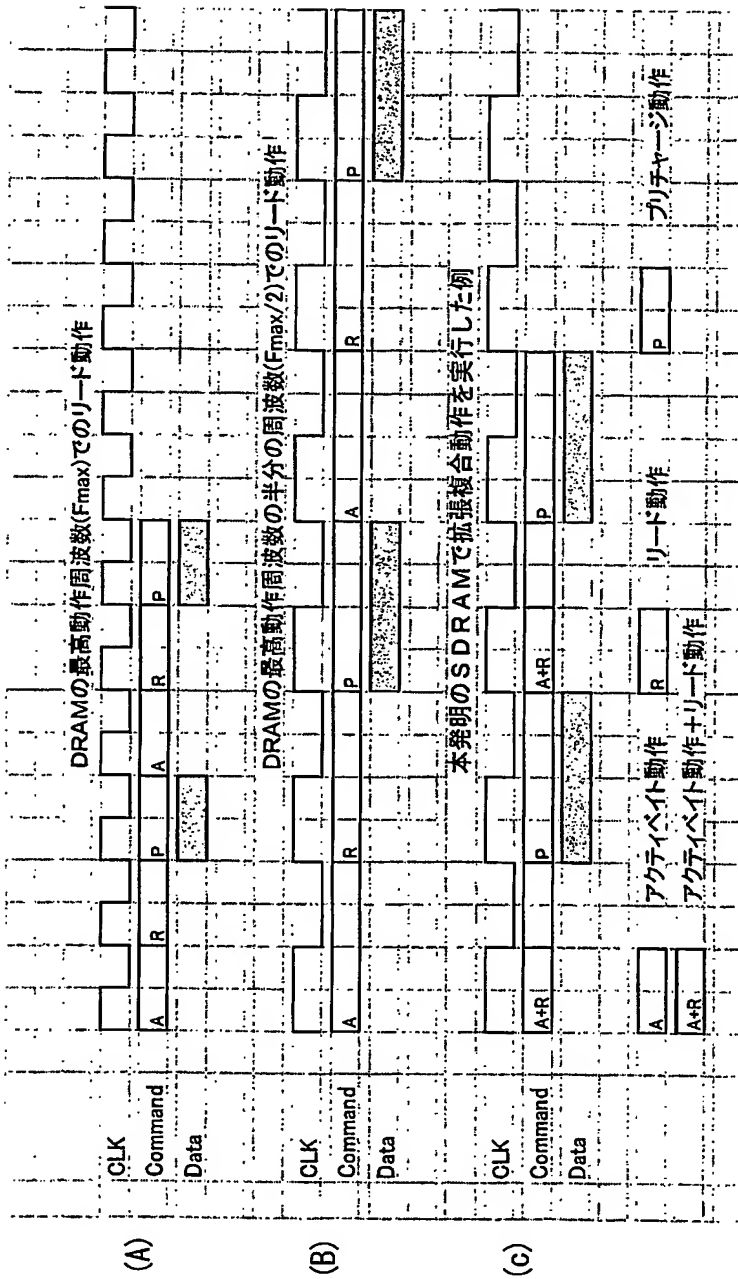
信号・コマンド対応表の一例		CS	RAS	CAS	WE	EXT	MODE	ローアドレス	バンク	コラムアドレス
コマンド	動作									
DESL	非動作	H	X	X	X	X	X	X	X	X
NOP	命令なし	L	H	H	H	H	X	X	X	X
READ	リード	L	H	L	H	H	X	X	V	V
WRITE	ライト	L	H	L	L	H	X	X	V	V
ACT	アクティベート	L	L	H	H	H	X	X	V	X
PRE	プリチャージ	L	L	H	L	H	X	X	V	X
PALL	全バンクプリチャージ	L	L	H	L	H	X	X	X	X
REF	リフレッシュ	L	L	L	H	H	X	X	X	X
MRS	モードセット	L	L	L	L	H	X	*	*	*
BST	バーストストロップ	L	H	H	L	H	X	X	X	X
拡張複合動作	P+A+R	L	X	X	H	L	L	V	V+	V
	P+A+W	L	X	X	L	L	L	V	V+	V
	A+R	L	X	X	H	L	H	V	V+	V
	A+W	L	X	X	L	L	H	V	V+	V

記号
L H X V *

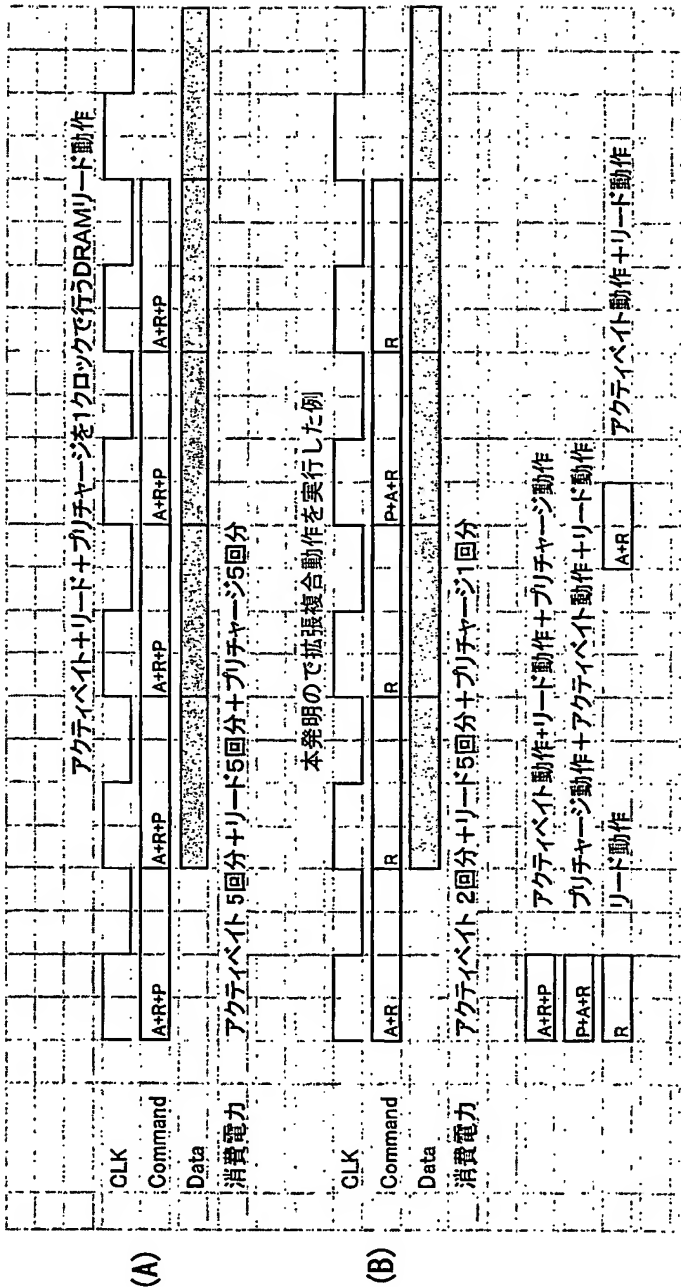
意味
0
1
任意
有効
一部有効

(V+は2倍の情報が必要なケースもあり)

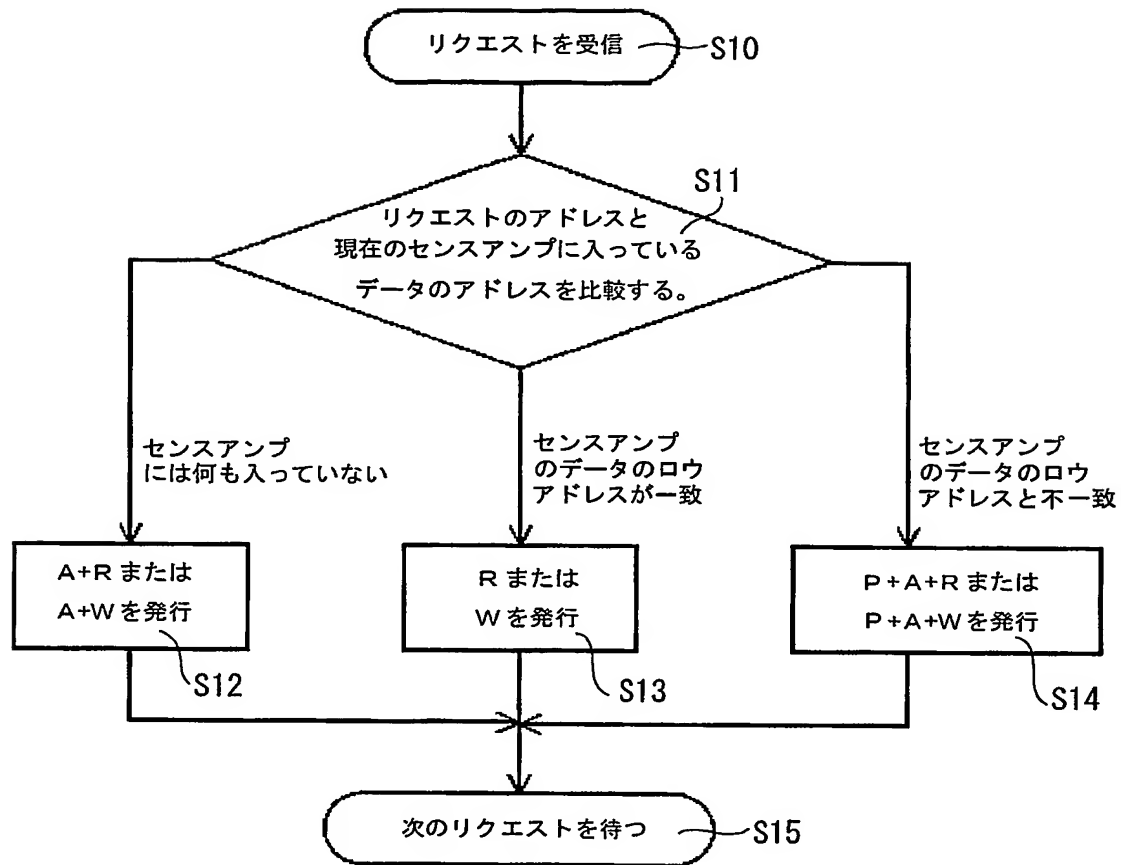
【図 3】



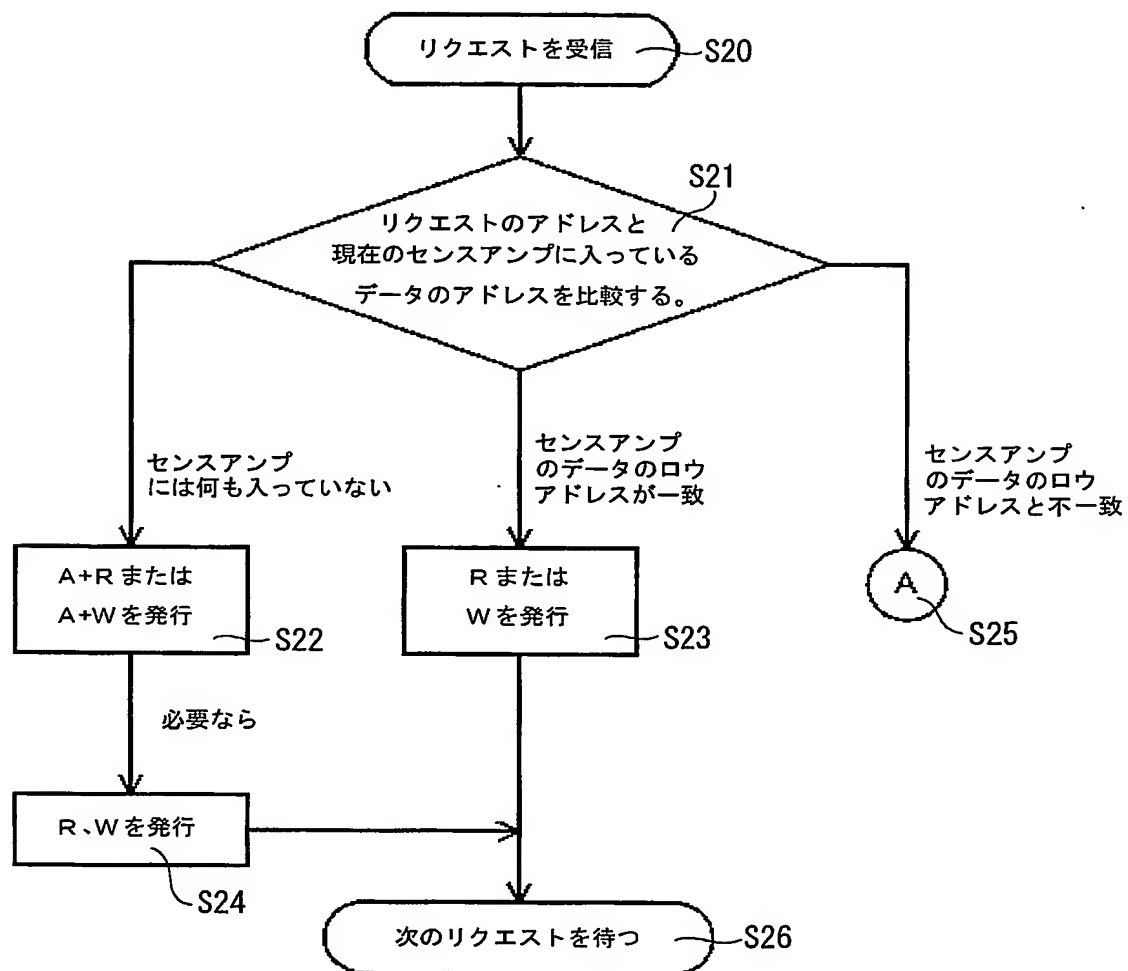
【図 4】



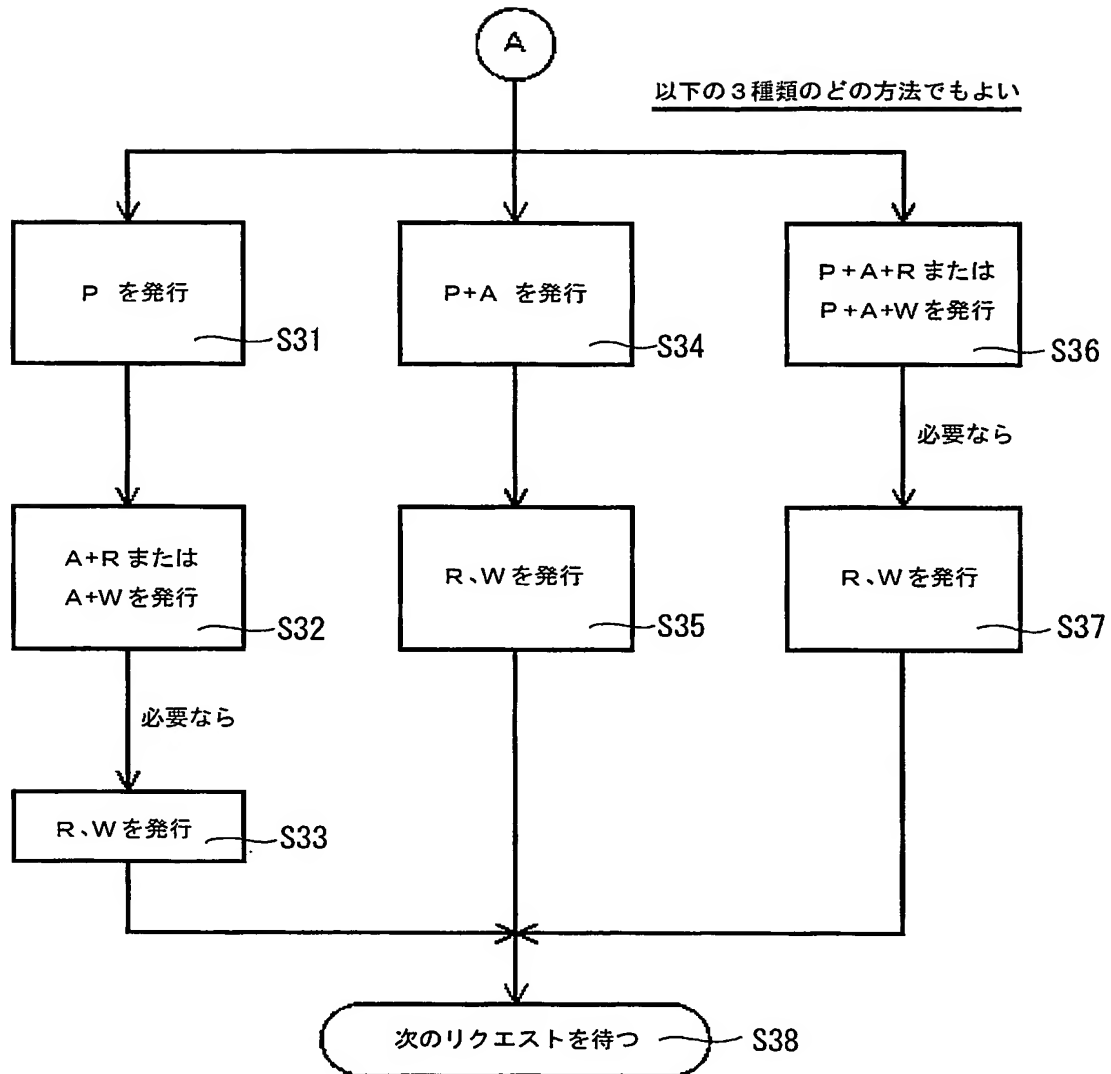
【図 5】



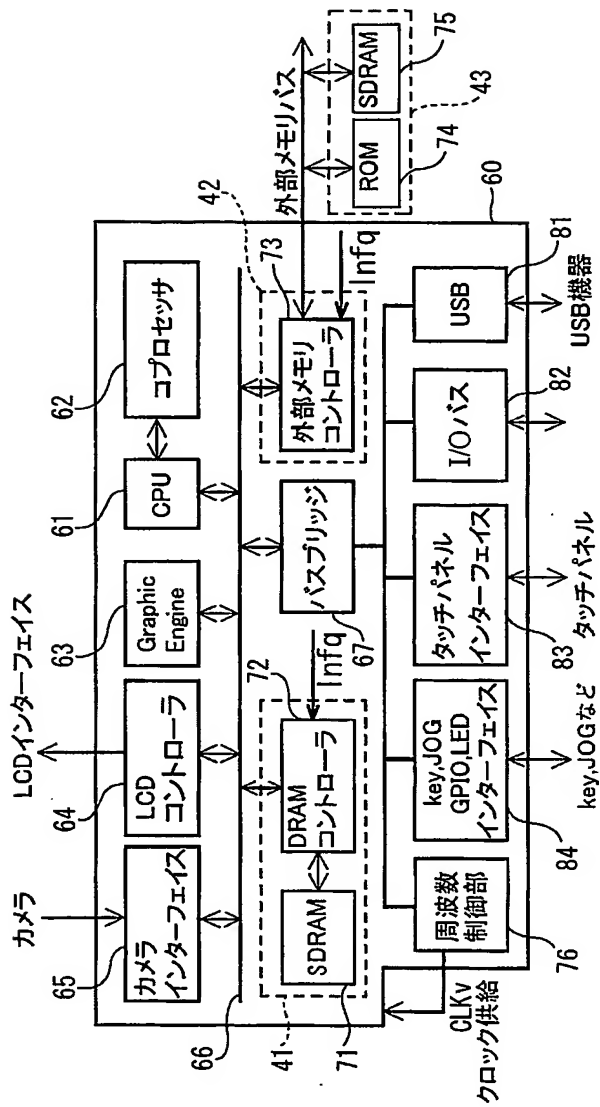
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 同期クロックを用いて動作のタイミングを制御する同期型情報記憶装置において、高効率な動作処理から性能の向上を図ると共に、DRAMの特徴である低消費電力も実現させる。

【解決手段】 電荷を蓄積させることでデータを記憶する複数のメモリセルと、該メモリセルの電荷を増幅させる増幅器とを有し、該データの入出力のタイミングに同期クロックが用いられる情報記憶装置において、前記メモリセルから前記増幅器までの電荷を取り出す電荷取り出し動作又は前記増幅器から前記メモリセルに対して電荷を蓄積させる電荷蓄積動作と、前記増幅器について当該情報記憶装置の外部に対する入出力動作との2つの動作を前記同期クロックの単独クロックを同期のタイミングとして処理する。

【選択図】 図2

特願 2 0 0 2 - 3 3 6 8 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.